



教授 Ben A. Abderazek

誤動作を防ぐ ICチップの製造が可能に

関連発明: 誤り耐性ルータ、これを使用するIC、及び誤り耐性ルータの制御方法(特願2013-262523[特許第6284177号])
ネットワークオンチップ用の欠陥耐性ルータ(特願2016-100732[特許第6846027号])

概要

○発明の背景

ICチップの集積化が進み、近年では1つのチップ上に複数コアを搭載して、コア間をデータネットワークで結ぶマルチコア構成が主流になってきました。その一方で、コア間のデータ伝送における誤り発生に対する対策も大きな課題となってきました。

本発明は、それぞれ複数のコアを備える複数のウエハーで構成される3次元ICにおける、誤り耐性ルータ型ICアーキテクチャに関するものです。

○本発明の概要

従来の技術では、過渡的な誤りや、入力バッファ及びクロスバーにおける誤りに対応できないという問題がありましたが、こういった問題に対して、バイパスオンデマンド、ランダムアクセスバッファ技術といった新たな制御モジュールを設計・実装し、誤り耐性の向上を可能としました。

さらに、予測テーブルを有する制御モジュールを導入することにより、入力ポート部のトラフィック情報を収集でき、それぞれの入力ポート部への情報伝達や依頼処理を最適に分散させることができます。

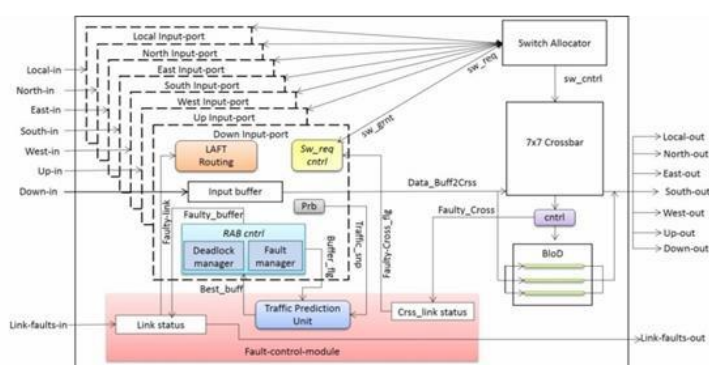
実用化の可能性

○本発明の技術を使うことにより、より高性能かつ信頼性の高いICチップの製造が可能となります。そのため、科学技術計算を始めとする計算集中型アプリケーションや、画像処理に代表されるマルチメディアなど、きわめて高い計算性能を要求されるコンピュータの実現には、必須の技術となってきます。ネットワーク搭載型のチップ(NoC)の性能ならびに信頼性が上がるにつれ、今後の計算機性能のさらなる向上が期待されます。

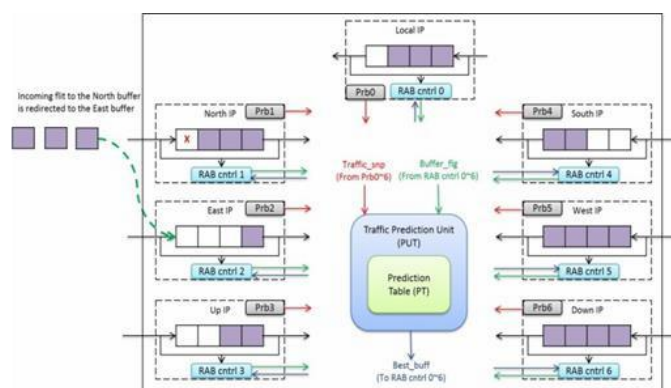
UBICからのメッセージ

高度に集積化されたICチップでは、チップ上を流れるデータのネットワーク制御が、性能上重要になってきます。本技術は、通常のコンピュータネットワークで使われているような制御技術を活用して、チップ上でのデータ誤りの確率を低減させる技術です。今後さらなる高速化を要求される計算機の世界において、このような新しいアーキテクチャをもつICチップは、ますます需要を高めていくものと思われます。

研究概要図



3D-誤り耐性-OASIS-NoCルータ構造のブロックダイアグラム



トラフィック予測ユニットに備えられる予測テーブルの使用例